

# Arquitectura del Procesador II

## Trabajo Práctico III Arquitecturas con Pipeline

**Ejercicio 1:** Considerando una arquitectura de 5 etapas para la ejecución de instrucciones, donde las demoras de cada etapa son de 10, 8, 10, 10 y 7 ns, calcule la ganancia (speed-up) obtenida al convertir la arquitectura uniciclo en una arquitectura con pipeline. Para la arquitectura con pipeline no se consideran los ciclos de stall, pero se debe tener en consideración el agregado de 2ns a la demora de cada etapa lo cual esta dado por el agregado de latches.

**Ejercicio 2:** Analice para cada tipo de instrucción las principales unidades utilizadas y los caminos seguidos por los datos en la arquitectura MIPS con soporte para pipeline. ¿Dónde se generan las señales de control para cada etapa y como son administradas en cada una de ellas?

Muestre los caminos seguidos y las señales de control para las siguientes instrucciones: ADD, LW, SW, BEQ.

**Ejercicio 3:** Analice las principales diferencias y similitudes que existen entre las arquitecturas del MIPS con soporte para pipeline y uniciclo. ¿Cuántos bits posee cada latch de la arquitectura MIPS con pipeline?.

**Ejercicio 4:** Dado el siguiente código MIPS:

```
lw    $t2, 20($t1)
and   $s0, $t2, $s1
or    $s0, $s0, $t2
sw    $s0, 20($t2)
```

Indique para cada ciclo de ejecución:

1. El valor de la señal de control que comanda el multiplexor que se encuentra en la etapa ID.
2. los valores de la señales de control generadas por la unidad de *forwarding* y *hazard detection*.
3. Los valores que poseen las siguientes señales de control: MemRead, MemWrite, RegDest, ALUSrc, ALUOp, MemToReg.
4. El valor que poseen los bits de los campos WB, MEM y EX en cada uno de los latch.

**Ejercicio 5:** Las siguientes secuencias de código son distintas implantaciones de la expresión:  $A + B + C + D$ .

a)	lw \$1, A(\$0) lw \$2, B(\$0) add \$3, \$1, \$2 lw \$4, C(\$0) lw \$5, D(\$0) add \$7, \$4, \$5 add \$8, \$3, \$7	b)	lw \$1, A(\$0) lw \$2, B(\$0) lw \$3, C(\$0) add \$4, \$1, \$2 lw \$5, D(\$0) add \$7, \$3, \$5 add \$8, \$7, \$4	c)	lw \$1, A(\$0) lw \$2, B(\$0) lw \$3, C(\$0) lw \$4, D(\$0) add \$6, \$2, \$1 add \$7, \$4, \$3 add \$8, \$7, \$6
----	---	----	---	----	---

Realizar los diagramas de ciclos de reloj para una arquitectura MIPS con pipeline, indicando los conflictos, adelantamientos y stalls que se producen durante la ejecución de cada uno de ellos. Para cada caso calcule el CPU\_time considerando un reloj de 500Mhz.

**Ejercicio 6:** Dado el siguiente código MIPS que implementa la secuencia de instrucciones  $C = A + B$ ;  $D = C - 8$  :

```

lw    $s1, A($zero)
lw    $s2, B($zero)
add   $t1, $s2, $s1
sw    $t1, C($zero)
addi  $t2, $0, #8
sub   $t2, $t2, $t1
sw    $t2, D($zero)
    
```

Realice un diagrama de utilización de unidades funcionales y calcule el CPU\_time para el fragmento de código anterior, considerando una arquitectura con pipeline. El tiempo de reloj es de 11 ns.